



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09223798 A**(43) Date of publication of application: **26.08.97**

(51) Int. Cl.

H01L 29/78
H01L 21/316
H01L 21/318
H01L 21/8234
H01L 27/088
H01L 21/336

(21) Application number: **08264643**(22) Date of filing: **04.10.96**(30) Priority: **14.12.95 JP 07325727**(71) Applicant: **DENSO CORP**

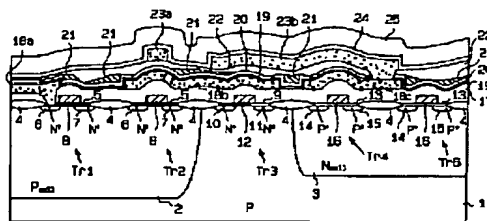
(72) Inventor:
ICHIKAWA YUJI
TANAKA YASUSHI
SOKI YASUO
KUBOKOYA RYOICHI
KUROYANAGI AKIRA
SHIOTANI HIROHITO

**(54) SEMICONDUCTOR DEVICE AND ITS
 MANUFACTURING METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device excellent in protection of device performance with a novel construction and easy to manufacture.

SOLUTION: MOS transistors Tr1 to Tr5 are formed on a P type silicon substrate 1. On the substrate 1, a BPSG film 17, first layer aluminum wirings 18a, 18b, 18c, a plasma nitride film 19, a TEOS(tetraethyl orthosilicate) film 20, an SOG(spin on glass) film 21, a TEOS film 22, and second layer aluminum wirings 23a, 23b are formed. A low hydrogen plasma SiN film 24 is formed on the TEOS film 22 including the upper surface of the second layer aluminum wirings 23a, 23b, on which a high hydrogen plasma SiN film 25 is formed. The low hydrogen plasma SiN film 24 contains less hydrogen than the plasma SiN film 25.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223798

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 N
	21/316		21/316	G
	21/318		21/318	M
				C
	21/8234		27/08	1 0 2 A
審査請求 未請求 請求項の数14 O L (全 13 頁) 最終頁に続く				

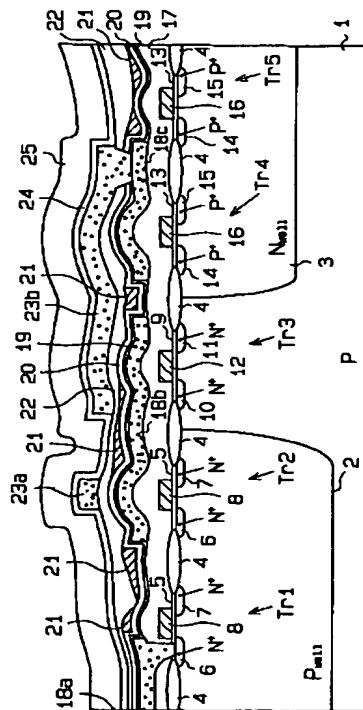
(21) 出願番号	特願平8-264643	(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22) 出願日	平成8年(1996)10月4日	(72) 発明者	市川 裕司 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(31) 優先権主張番号	特願平7-325727	(72) 発明者	田中 靖士 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(32) 優先日	平7(1995)12月14日	(72) 発明者	左右木 安男 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 恩田 博宣
		最終頁に続く	

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 新規な構成によりデバイスの性能保護に優れるとともに製造が容易な半導体装置を提供する。

【解決手段】 P型シリコン基板1にはMOSトランジスタTr1~Tr5が形成されている。基板1の上には、BPSG膜17、第1層アルミ配線18a, 18b, 18c、プラズマ窒化膜19、TEOS（テトラエチルオルトシリケート）膜20、SOG（スピノングラス）膜21、TEOS膜22、第2層アルミ配線23a, 23bが形成されている。第2層アルミ配線23a, 23bの上面を含むTEOS膜22の上には低水素プラズマSiN膜24が形成され、その上には高水素プラズマSiN膜25が形成されている。低水素プラズマSiN膜24は、プラズマSiN膜25よりも水素含有量が少ない。



【特許請求の範囲】

【請求項1】 ゲート絶縁膜を有するトランジスタが形成された半導体基板の上にプラズマSiN膜を配置した半導体装置であって、

前記プラズマSiN膜の下に、当該プラズマSiN膜よりも水素含有量が少ない低水素プラズマSiN膜を配置したことを特徴とする半導体装置。

【請求項2】 前記低水素プラズマSiN膜は、Si-H結合量が $6 \times 10^{21} / \text{cm}^3$ 以下である請求項1に記載の半導体装置。

【請求項3】 前記プラズマSiN膜は、表面保護膜である請求項1に記載の半導体装置。

【請求項4】 前記プラズマSiN膜は、多層配線間に配置された層間絶縁膜である請求項1に記載の半導体装置。

【請求項5】 前記プラズマSiN膜は、前記トランジスタと当該トランジスタの上に配置した配線との間に配置された絶縁膜である請求項1に記載の半導体装置。

【請求項6】 前記配線はアルミよりなる請求項4または5に記載の半導体装置。

【請求項7】 アンモニアガスとシラン系ガスを供給しながらSiN膜を半導体基板上に成膜するプラズマCVD法を用いて、ゲート絶縁膜を有するトランジスタが形成された半導体基板の上面をプラズマSiN膜にて覆うための半導体装置の製造方法であって、

アンモニアガスとシラン系ガスの少なくともいずれか一方を増量させながら供給することにより、低水素プラズマSiN膜を形成する第1工程と、

アンモニアガスおよびシラン系ガスを一定量供給することにより、前記低水素プラズマSiN膜の上に、当該低水素プラズマSiN膜よりも水素含有量が多いプラズマSiN膜を形成する第2工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記第1工程は、減圧下で、かつ、放電可能な状態においてガスを増量させながら供給するものである請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第1工程は、アンモニアガスを一定量供給している状態においてシラン系ガスを増量させながら供給するものである請求項7に記載の半導体装置の製造方法。

【請求項10】 前記第1工程は、ガスを連続的に増量させながら供給するものである請求項7に記載の半導体装置の製造方法。

【請求項11】 前記第1工程は、ガスを階段状に増量させながら供給するものである請求項7に記載の半導体装置の製造方法。

【請求項12】 前記低水素プラズマSiN膜は、Si-H結合量が $6 \times 10^{21} / \text{cm}^3$ 以下である請求項7に記載の半導体装置の製造方法。

【請求項13】 シラン系ガスを流す前において窒素ガ

スを流した状態で電源電圧を印加して下地層の表面に対しプラズマによる粗面化処理を施し、その後に成膜を開始するようにした請求項7に記載の半導体装置の製造方法。

【請求項14】 低水素プラズマSiN膜の形成後において窒素ガスの供給量を低下させるとともにアンモニアガスの供給量を増加させるようにした請求項13に記載の半導体装置の製造方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】この発明は、ゲート絶縁膜を有するトランジスタが形成されたICに関するものである。

【0002】

【従来の技術および課題】ICのパッシベーション膜や層間絶縁膜として、SiN膜が広く使われている。そして、プラズマSiN膜を用いた場合には、プラズマSiN膜中に含まれる水素がホットキャリア注入による界面準位の発生を助長してホットキャリア劣化を招くことが知られている（電子情報通信学会技術研究報告90-123、p33、「ホットキャリア効果」、辰馬賢一郎他）。この対策として、パッシベーション膜中の水素量を低減していくと、膜応力が増加しAl（アルミ）ボイド等の発生を招く問題が生じる。又、他の手法にて低応力化を図ると、特に段差部での被覆性から耐湿性に問題が生じる。このように、保護膜として必要な耐湿性、低応力、又、UV透過性、電荷保持あるいは製造上重要となる膜厚の均一性、加工上の再現性等を十分に満足しつつ、ホットキャリア寿命の向上を図ることができない。

30 【0003】従って、上記した耐湿性（高ステップカバレッジ化）、低応力化に加え、UV透過性、電荷保持特性を確保しつつ、又、基本的な膜厚を変えることなく、さらには、従来の製造方法に対しごく簡単な成膜条件の変更のみでスルーブットのダウン、コストアップも招くことなく、ホットキャリア寿命の向上性に優れた半導体装置を提供することが望まれている。

【0004】そこで、この発明の目的は、新規な構成によりデバイスの性能保護に優れるとともに製造が容易な半導体装置を提供することにある。

40 【0005】

【課題を解決するための手段】プラズマSiN膜には（主に弱く結合したSi-Hからの）水素が存在し、短チャンネルMOSデバイスでは、この水素がデバイスに侵入し、ゲート酸化膜の劣化を引き起こすとされている。そこで、本発明では、プラズマSiN膜の形成時に含有される水素のうち、Si-H結合に着目し、このSi-H結合量を低減したプラズマSiN膜と、これまで用いられてきたプラズマSiN膜とを積層した構造としている。

50 【0006】よって、これまで用いられてきたプラズマ

SiN膜中から水素がデバイスに向かって侵入しようとするが、Si-H結合量を低減したプラズマSiN膜によりブロック（トラップ）される（これは、プラズマSiN膜中からの水素が、Si-H結合量を低減したプラズマSiN膜において、シリコンのダングリングボンドと結合してデバイス側への進行が抑制されるためであると推定される）。その結果、デバイスの悪影響（より具体的にはゲート酸化膜の劣化）を防ぎ、ホットキャリアの長寿命化に優れたものとなる。

【0007】又、この多層構造のプラズマSiN膜の形成は、アンモニアガスとシラン系ガスの少なくともいずれか一方を増量させながら供給することにより、低水素プラズマSiN膜を形成し、その後に、アンモニアガスおよびシラン系ガスを一定量供給することにより、前記低水素プラズマSiN膜の上に、当該プラズマSiN膜よりも水素含有量が多いプラズマSiN膜を形成することで容易に実現できる。

【0008】請求項13に記載のように、シラン系ガスを流す前において窒素ガスを流した状態で電源電圧を印加して下地層の表面に対しプラズマによる粗面化処理を施し、その後に成膜を開始するようにすると、下地層の表面が粗面化された状態で低水素プラズマSiN膜が形成されて密着させることができる。

【0009】ここで、請求項14に記載のように、低水素プラズマSiN膜の形成後において窒素ガスの供給量を低下させるとともにアンモニアガスの供給量を増加させると、低水素プラズマSiN膜の成膜時にはSi-N結合を強くでき、高水素プラズマSiN膜の成膜時には応力低減および面内均一性の向上を図ることができる。

【0010】

【発明の実施の形態】

（第1の実施の形態）以下、この発明の第1の実施の形態を図面に従って説明する。

【0011】図1には本実施の形態における半導体装置の縦断面図を示す。本装置は自動車用ICに具体化したものであり、MOSトランジスタを備えている。自動車用ICの使用環境（特に温度環境）は厳しく、要求される機能としては、自動車の保証年数を19年として、

（ICの19年間の間欠的な使用に耐えるべく）、周波数20MHz、Vd；-5.5V、デューティ比50/50%でインパルス動作させたとき、動作スピードが10%遅くなる時を、DCストレスVd=5.5Vで見積もったときの値、1.7年を満足するものである。

【0012】尚、この構成は、EPROMやEEPROM（フラッシュメモリを含む）に用いてもよい。半導体基板としてのP型シリコン基板1にはPウェル領域2とNウェル領域3とが形成されている。P型シリコン基板1のPウェル領域2の表面部にはNチャネルMOSトランジスタTr1とNチャネルMOSトランジスタTr2とが形成されている。又、P型シリコン基板1の表面部

にはNチャネルMOSトランジスタTr3が形成されている。さらに、P型シリコン基板1のNウェル領域3の表面部にはPチャネルMOSトランジスタTr4とPチャネルMOSトランジスタTr5とが形成されている。

【0013】この各MOSトランジスタTr1~Tr5の詳細な構成を説明すると、P型シリコン基板1の表面部にはフィールド酸化膜（LOCOS酸化膜）4が形成されている。NチャネルMOSトランジスタTr1、Tr2の形成領域において、P型シリコン基板1の表面部にはゲート酸化膜5が形成され、その上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8の下方でのPウェル領域2にはN⁺ソース領域6とN⁺ドレイン領域7とが形成されている。

【0014】NチャネルMOSトランジスタTr3の形成領域において、P型シリコン基板1の表面部にはゲート酸化膜9が形成され、その上にはポリシリコンゲート電極12が形成されている。ポリシリコンゲート電極12の下方でのP型シリコン基板1にはN⁺ソース領域10とN⁺ドレイン領域11とが形成されている。

【0015】PチャネルMOSトランジスタTr4、Tr5の形成領域において、P型シリコン基板1の表面部にはゲート酸化膜13が形成され、その上にはポリシリコンゲート電極16が形成されている。ポリシリコンゲート電極16の下方でのNウェル領域3にはP⁺ソース領域14とN⁺ドレイン領域15とが形成されている。ここで各ゲート酸化膜5、9、13の膜厚は200Å程度である。

【0016】このようにデバイスが形成された基板の上には、BPSG膜17が形成され、その上に第1層アルミ配線（多層配線）18a、18b、18cが形成されている。第1層アルミ配線18aとNチャネルMOSトランジスタTr1のN⁺ソース領域6とがコンタクトホールを介して電気的に接続されている。第1層アルミ配線18a、18b、18cの表面を含むBPSG膜17の上には、膜厚が1000ÅのプラズマSiN膜19が形成されている。プラズマSiN膜19の上には第1層間絶縁膜としてのTEOS（テトラエチルオルトシリケート）膜20が形成されている。TEOS膜20の上の所定領域にはSOG（スピノンガラス）膜21が形成され、このSOG膜21にて表面の平滑化が図られている。

【0017】SOG膜21の上面を含むTEOS膜20の上には、第2層間絶縁膜としてのTEOS膜22が形成されている。TEOS膜22の上には、第2層アルミ配線（多層配線）23a、23bが形成され、第2層アルミ配線23bと第1層アルミ配線18cとがコンタクトホールを介して電気的に接続されている。そして、多層化されたアルミ配線（第2層アルミ配線23a、23b、第1層アルミ配線18a、18b、18c等）を用いて、基板1に形成されたデバイスに電源電圧とグラン

ド電圧の印加が行われる。

【0018】第2層アルミ配線23a, 23bの表面を含むTEOS膜22の上には低水素プラズマSiN膜24が形成され、その上には高水素プラズマSiN膜25が形成されている。低水素プラズマSiN膜24は、プラズマSiN膜25よりも水素含有量が少ない。具体的には、高水素プラズマSiN膜25のSi-H結合量が $8 \times 10^{21}/\text{cm}^3$ であり、低水素プラズマSiN膜24のSi-H結合量が $6 \times 10^{21}/\text{cm}^3$ 以下である。プラズマSiN膜24, 25の合計の膜厚は16000Å程度であり、低水素プラズマSiN膜24の膜厚は500Å程度である。

【0019】ここで、高水素プラズマSiN膜25は低応力・高ステップカバレッジ（段差被覆性）を有する。しかし、高水素プラズマSiN膜25には膜中に水素が含まれており、その水素が基板に形成したMOSトランジスタにおけるホットキャリアの劣化を招く要因となる。低水素プラズマSiN膜24は、水素を通過させない性質を有する。

【0020】この二層構造のプラズマSiN膜を用いたことにより、これまでパッシベーション膜として用いられてきたプラズマSiN膜25中から水素がデバイスに向かって侵入しようとするが、Si-H結合量を低減したプラズマSiN膜24によりブロック（トラップ）される。これは、プラズマSiN膜25中からの水素が、Si-H結合量を低減したプラズマSiN膜24において、シリコンのダングリングボンドと結合してデバイス側への進行が抑制されるためであると推定される。

【0021】次に、このように構成した自動車用ICの製造方法を、図2～図6を用いて説明する。図2に示すように、P型シリコン基板1を用意し、Pウェル領域2とNウェル領域3とを形成する。そして、LOCOS酸化法を用いてP型シリコン基板1の表面部にフィールド酸化膜4を形成するとともに、ゲート酸化膜5, 9, 13を形成する。

【0022】引き続き、図3に示すように、ゲート酸化膜5, 9, 13の上にポリシリコンゲート電極8, 12, 16を形成する。さらに、図4に示すように、ソース領域6, 10, 14とドレイン領域7, 11, 15をイオン注入法により形成する。

【0023】そして、図5に示すように、基板1上に、BPSG膜17、第1層アルミ配線18a, 18b, 18c、プラズマSiN膜19、TEOS膜20、SOG膜21、TEOS膜22、第2層アルミ配線23a, 23bを順次、積層する。

【0024】その後、図6に示すように、プラズマCVD法により、低水素プラズマSiN膜24を形成し、さらに、その上に図1に示すように、高水素プラズマSiN膜25を形成する。その後、プラズマSiN膜24, 25に対し所定領域をエッチングにより除去して開口さ

せアルミパッド部とする。

【0025】ここで、低水素プラズマSiN膜24と高水素プラズマSiN膜25との積層方法について詳細に説明する。本実施の形態において、プラズマCVD装置としては日本エー・エス・エム株式会社製のEAGLE-10を用いており、同装置は枚葉式プラズマCVD装置である。

【0026】図7には、同プラズマCVD装置を用いたときのパワーの供給状況、圧力の変化状況、窒素ガス(N₂)とアンモニアガス(NH₃)の供給状況、シランガス(SiH₄)の供給状況を示す。

【0027】図7において、まず減圧動作と窒素ガス(N₂)とアンモニアガス(NH₃)の供給とを同時に開始する。目的の真空度(4.3 Torr)を得るための減圧時間として15秒を要する。又、窒素ガス(N₂)とアンモニアガス(NH₃)とは10秒間にて所定の供給量(N₂: 120.0 sccm, NH₃: 180.0 sccm)とすることができる。そして、目的の真空度とガス流量を得たときに高周波電源電圧(RFパワー)を下部電極と上部電極との間に印加する(High 485W, Low 215W)。パワー・オンから5秒経過したときに、シランガス(SiH₄)の供給を開始する。このとき、成膜が開始される。そして、5秒が経過するまでは直線的にシラン(SiH₄)の供給を増加させる。この5秒間に、図1の低水素プラズマSiN膜24が形成される。シランガス(SiH₄)の供給が所定の値(150 sccm)になった後は、一定量の供給を維持する。これにより、図1の高水素プラズマSiN膜25が形成される。

【0028】この図7に示した本形態での方法を、図8に示す一般的な一層よりなるプラズマSiN膜を形成するときと比べて説明する。図8の一層のみの成膜においては、減圧動作と窒素ガス(N₂)とアンモニアガス(NH₃)の供給とを同時に開始し、目的の真空度を得るとともに一定の窒素ガスとアンモニアガスとが供給できると、シランガスの供給を開始して一定の供給量となった後において、RFパワーをオンして成膜を開始して所定の膜厚となるまで積む。

【0029】図8と図7との対比から分かるように、シランガスのランプアップのタイミング（時期）を変えることにより、成膜初期に形成されたプラズマSiN膜とシランガス供給安定時に形成されたプラズマSiN膜との間に特性の違いを生じさせることができる。つまり、図7に示す場合においては、意図的にRFパワー・オンのタイミングとシランガス(SiH₄)の供給開始のタイミングをズラして、低水素プラズマSiN膜24を形成している。このように、減圧下で、かつ、放電可能な状態においてアンモニアガスを増量させながら供給することにより低水素プラズマSiN膜24を成膜することができることとなる。

【0030】図9にはプラズマSiN膜におけるSi-Hの結合量に対するデバイスの寿命の測定結果を示す。つまり、横軸にはSi-Hの結合量を取り、縦軸には10%特性が低下するまでの時間Gm10%をとっている。このとき、作動電圧としては5.5ボルトとしている。又、サンプルとしてNチャネルMOSトランジスタを用い、かつ、 W (ゲート幅) / L (ゲート長) = 25.0 / 1.0としている。

【0031】図9におけるSi-Hの結合量とホットキャリア寿命との関係から、1.7年の連続使用に耐えるためには、低水素プラズマSiN膜のSi-H結合量が $6 \times 10^{21} / \text{cm}^2$ 以下であることが必要であることが分かる。

【0032】図10には、本実施の形態(二層タイプのプラズマSiN膜)を用いた場合と比較例(一層タイプのプラズマSiN膜)におけるMOSトランジスタの劣化寿命の測定結果を示す。即ち、横軸にMOSトランジスタにおける単位ゲート幅あたりのドレイン電流の最大値 I_{submax}/W を取り、縦軸にGm10%をとっている。又、サンプルとしてNチャネルMOSトランジスタを用い、かつ、 $W/L = 25.0 / 1.0$ としている。ここで、基板電流の最大値 I_{submax} とは、図11に示すように V_g と I_{sub} との関係において最大値をとる I_{sub} 値を指す。

【0033】この図10から、作動電圧として5.5ボルトとしたときにおいて1.7年の連続使用に対し、従来品である一層タイプのプラズマSiN膜ではその仕様を満足することができなかったが、本実施の形態である二層タイプのプラズマSiN膜を用いるとその仕様を満足することができることが分かる。

【0034】このように本実施の形態は、下記(イ)、(ロ)の特徴を有する。

(イ) パッシベーション膜(表面保護膜)としてのプラズマSiN膜において二層構造とし、下側層を上層のプラズマSiN膜よりも水素含有量が少ない低水素プラズマSiN膜としたので、上層のプラズマSiN膜中の水素のデバイスへの侵入を抑制してホットキャリア寿命を確保することができる。

(ロ) 低水素プラズマSiN膜を有する二層構造のプラズマSiN膜を製造する方法として、アンモニアガスを一定量供給している状態においてシラン系ガスを増量させながら供給することにより、低水素プラズマSiN膜24を形成し、アンモニアガスおよびシラン系ガスを一定量供給することにより、低水素プラズマSiN膜24の上に、当該プラズマSiN膜よりも水素含有量が多いプラズマSiN膜25を形成するようにした。よって、同一の装置を用いて連続的にパッシベーション膜となるプラズマSiN膜を形成することができる。

【0035】次に、本実施の形態における応用例を説明する。図7においてはシランガス(SiH_4)の供給は

直線的に増加させたが、図12に示すように、シランガスの供給の際に、直線ではなくて曲線的に増加させてもよい(図12では一点鎖線の場合と実線の場合の2つの場合を示す)。

【0036】あるいは、図13に示すように、シランガスの供給の際に、階段状に(ステップ的に)増加させてもよい(図13では実線にて3段階のステップ動作を行う場合を示し、一点鎖線にて2段階のステップ動作を行う場合を示す)。

10 【0037】あるいは、図14に示すように、シランガスの供給の際に、一時的な減量時期を持たせながら増加させてもよい。あるいは、図15に示すように、パワー・オン後において、窒素ガス(N_2)とアンモニアガス(NH_3)とを増量させている途中においてシランガスを増量させることにより、低水素プラズマSiN膜24を形成してもよい。

(第2の実施の形態) 次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

20 【0038】第1の実施の形態における製造方法においては低水素プラズマSiN膜24と高水素プラズマSiN膜25の形成後においてアルミパッド部を開口すべくプラズマSiN膜24、25のエッチングを行うが、この際、図16に示すようにアルミ配線23bの上の低水素プラズマSiN膜24においては浮いた状態となりやすい。この密着不良箇所からエッチング液が入り込んで目的の形状の開口部を得にくい。つまり、水素を多く含むプラズマSiN膜と水素が少ないプラズマSiN膜とのエッチングレートを比べた場合に水素が少ないプラズマSiN膜の方がエッチングレートが速く、下地層のアルミ配線23bと接する低水素プラズマSiN膜24においては密着不良箇所からエッチング液が急速に進入しサイドエッチングされてしまう。

30 【0039】そこで、本実施の形態においては、図17に示すように、シランガス(SiH_4)を流す前において窒素ガス(N_2)を流した状態でRFパワー(高周波電源電圧)を印加してアルミ配線23bの表面に対しプラズマによる粗面化処理を施し、その後に成膜を開始する。

40 【0040】より詳しくは、まず窒素ガス(N_2)の供給とアンモニアガス(NH_3)の供給とを同時に開始し、5秒後に窒素ガス(N_2)とアンモニアガス(NH_3)とを所定の供給量(N_2 ; 2900 sccm 、 NH_3 ; 300 sccm)にする。そして、5秒が経過した時にRFパワーを10秒間オンにする。このプリプラズマ処理により窒素ガス(N_2)がプラズマ化して下地層であるアルミ配線(図1の符号23b)の表面がたたかれ表面に凹凸が形成される。

50 【0041】このプリプラズマ処理の後におい20秒経過すると、RFパワーを印加する(High 485 W 、Low 215 W)。パワー・オンから3秒経過したときに、

シランガス (SiH_4) の供給を開始して成膜を開始する。そして、5秒間のシランガス (SiH_4) の供給増加により低水素プラズマ SiN 膜24を形成し、シランガス (SiH_4) の供給を所定の値 (150 sccm) にする。その後、さらに5秒経過した時に窒素ガス (N_2) の供給量を減少するとともにアンモニアガス (NH_3) の供給量を増加して5秒後に窒素ガス (N_2) の供給量を 1200 sccm に、アンモニアガス (NH_3) の供給量を 1800 sccm にする。この状態で高水素プラズマ SiN 膜25が積まれていく。

【0042】ここで、図17において低水素プラズマ SiN 膜24の成膜時、即ち、シランガスのランプアップ時 (徐々に流量を増加している時) に窒素ガスの流量を多くしているのは、アンモニアガス中の窒素から SiN 膜を作る場合と窒素ガス中の窒素から SiN 膜を作る場合とを比較すると窒素ガス中の窒素にて形成した SiN 膜の方が Si-N 結合が強くなり密着性が向上するためである。ただし、窒素ガス中の窒素から SiN 膜を作るとその膜は応力が大きくなったり面内均一性が悪くなるので、シランガスの供給が安定したら窒素ガスの流量を減らしアンモニアガスの流量を増加させ、低応力かつ面内均一性に優れた高水素プラズマ SiN 膜25を得るようにしている。

【0043】尚、本来、窒素ガスはプラズマCVD法においてキャリアガスとして機能する。このように本実施形態においては下記の特徴を有している。

(イ) シラン系ガスを流す前において窒素ガスを流した状態で電源電圧を印加して下地層の表面に対しプラズマによる粗面化処理を施し、その後に成膜を開始するようにしたので、下地層の表面が粗面化された状態で低水素プラズマ SiN 膜24が形成されて下地層に密着させることができる。つまり、プラズマによりAl (アルミ) の表面がたたかれAl表面が凹凸状態となり、水素が少ないプラズマ SiN 膜24とアルミ配線23bとの密着性が向上する。

【0044】又、プリプラズマ処理を行うことにより基板温度が上がり、その上に成膜される低水素プラズマ SiN 膜24の成膜時の温度に近づき密着性の向上が図られる。

(ロ) 低水素プラズマ SiN 膜24の形成後において窒素ガスの供給量を低下させるとともにアンモニアガスの供給量を増加させたので、低水素プラズマ SiN 膜24の成膜時には Si-N 結合を強くでき、高水素プラズマ SiN 膜25の成膜時には応力低減、面内均一性の向上を図ることができる。

【0045】尚、図17においてはプリプラズマ後にRFパワーを一旦オフにしているが、必ずしもオフにする必要はない。ただし、長時間RFパワーをオンにし続けると下地層 (アルミ) の凹凸が大きくなりすぎるのでプリプラズマ時間は所定の時間を超えないようにするのが

望ましい。

【0046】次に、本実施の形態における応用例を説明する。図18に示すように、窒素ガス (N_2) とアンモニアガス (NH_3) との流量を逆転させることなく、プリプラズマ動作を行ってもよい。

【0047】尚、第1及び第2の実施の形態においては図7、17等に示すようにガスの供給量 (流量) を規定したが、チャンバ内のガス濃度を規定してもよい。即ち、流量が少ない時は濃度が小さくなり、多いときは濃度が高くなるので、チャンバ内のガス濃度が所定値となるように調整しつつ半導体装置を製造してもよい。

(第3の実施の形態) 次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0048】第1の実施の形態においてはパッシベーション膜としてのプラズマ SiN 膜にに対して二層構造としたが、本実施の形態においては、パッシベーション膜および層間絶縁膜としてのプラズマ SiN 膜に適用している。つまり、図1に示したICにおけるプラズマ SiN 膜19にも適用している。以下、図1におけるNチャネルMOSトランジスタTr3の形成領域を拡大した図19を用いて本実施の形態を説明する。

【0049】低水素プラズマ SiN 膜30の上に高水素プラズマ SiN 膜31を積層した構成となっている。低水素プラズマ SiN 膜30と高水素プラズマ SiN 膜31との合計の膜厚は 1000 \AA であり、低水素プラズマ SiN 膜30の膜厚は 160 \AA となっている。その他は、第1の実施の形態と同じであり、同一の符号を付すことによりその説明は省略する。

【0050】TEOS膜20、22又はSOG膜21の膜中に含まれた水素が、基板に形成したMOSトランジスタにおけるホットキャリアの劣化を招く要因となる。又、高水素プラズマ SiN 膜31には膜中に水素が含まれており、この水素が基板に形成したMOSトランジスタにおけるホットキャリアの劣化を招く要因となる。低水素プラズマ SiN 膜30は、水素を通過させない。その結果、膜20、22、31中から水素がデバイスに向かって侵入しようとするが、 Si-H 結合量を低減したプラズマ SiN 膜30によりブロック (トラップ) される。

【0051】このように層間絶縁膜としてのプラズマ SiN 膜に適用することにより、デバイスの性能保護に優れたものとなる。又、第1の実施の形態においても述べたように、多層構造とする際に製造が容易である。

(第4の実施の形態) 次に、第4の実施の形態を、第3の実施の形態との相違点を中心に説明する。

【0052】第3の実施の形態においては、第1層アルミ配線と第2層アルミ配線との間において配置された層間絶縁膜にプラズマ SiN 膜を用いた場合 (多層配線間に配置されたプラズマ SiN 膜に適用した場合) であったが、本実施の形態においては、MOSトランジスタと

当該トランジスタの上に配置した配線との間に配置された絶縁膜にプラズマSiN膜を用いた場合にも適用している。つまり、図1に示したICにおけるBPSG膜17の代わりにプラズマSiN膜を用いたものである。

【0053】以下、図19に対応する図20（NチャネルMOSトランジスタTr3の形成領域を拡大した図）を用いて本実施の形態を説明する。NチャネルMOSトランジスタTr3のゲート電極12上に低水素プラズマSiN膜40を形成し、その上に高水素プラズマSiN膜41を積層した構成となっている。このプラズマSiN膜40、41の上にアルミ配線18a、18b、18cが形成されている。その他は、第3の実施の形態と同じであり、同一の符号を付すことによりその説明は省略する。

【0054】本実施の形態においても、高水素プラズマSiN膜41には膜中に水素が含まれており、この水素が基板に形成したMOSトランジスタにおけるホットキャリアの劣化を招く要因となる。低水素プラズマSiN膜40は、水素を通過させない。その結果、高水素プラズマSiN膜41中から水素がデバイスに向かって侵入しようとするが、Si-H結合量を低減したプラズマSiN膜40によりブロック（トラップ）される。

【0055】この発明は上述した各実施の形態に限られるものでなく、層間絶縁膜としてのプラズマSiN膜のみ、あるいは、MOSトランジスタのゲート電極を覆う絶縁膜としてのプラズマSiN膜のみに適用してもよい。即ち、表面保護膜であるパッシベーション膜には本発明を適用せずに、多層配線間に配置されている層間絶縁膜にのみ適用したり、MOSトランジスタと当該トランジスタの上に配置した配線との間に配置されている絶縁膜にのみ適用してもよい。

【0056】又、本発明はIGBTやLDMOS等にも応用できる。さらに、自動車用ICに限ることはなく他のIC（半導体装置）に適用できる。

【図面の簡単な説明】

【図1】 第1の実施の形態における半導体装置の縦断面図。

【図2】 半導体装置の製造工程を説明するための断面図。

【図3】 半導体装置の製造工程を説明するための断面図。

【図4】 半導体装置の製造工程を説明するための断面図。

*【図5】 半導体装置の製造工程を説明するための断面図。

【図6】 半導体装置の製造工程を説明するための断面図。

【図7】 プラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

【図8】 比較のためのプラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

10 【図9】 プラズマSiN膜におけるSi-Hの結合量に対するデバイスの寿命の測定結果を示す図。

【図10】 MOSトランジスタの劣化寿命の測定結果を示す図。

【図11】 基板電流の最大値 I_{submax} を説明するための V_g と I_{sub} との関係図。

【図12】 プラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

【図13】 プラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

20 【図14】 プラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

【図15】 プラズマCVD法でのガス供給、減圧、パワー供給の各状況を説明するための説明図。

【図16】 プラズマSiN膜の成膜状況を説明するための断面図。

【図17】 第2の実施の形態におけるプラズマCVD法でのガス供給、パワー供給の各状況を説明するための説明図。

30 【図18】 プラズマCVD法でのガス供給、パワー供給の各状況を説明するための説明図。

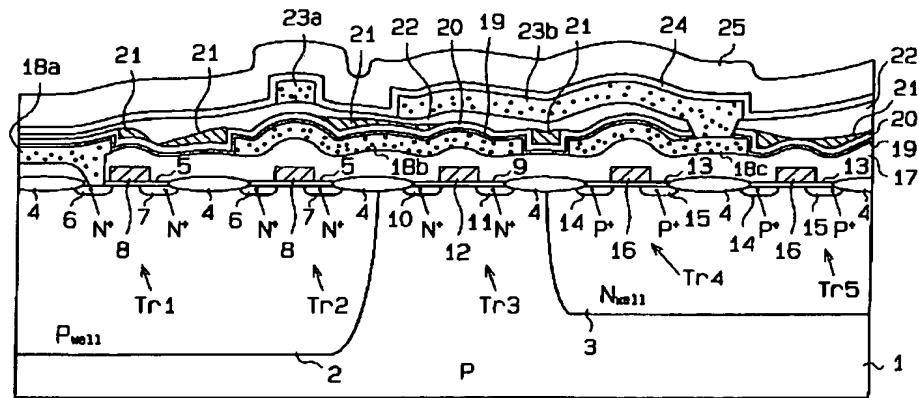
【図19】 第3の実施の形態における半導体装置の要部断面図。

【図20】 第4の実施の形態における半導体装置の要部断面図。

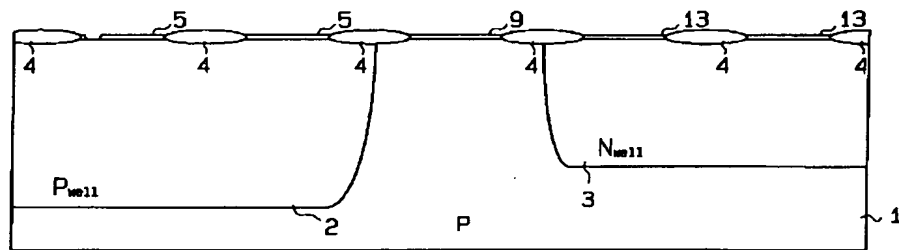
【符号の説明】

Tr1～Tr5…MOSトランジスタ、1…半導体基板としてのシリコン基板、5、9、13…ゲート酸化膜、18a、18b、18c…第1層アルミ配線（多層配線）、20…TEOS膜、21…SOG膜、22…TEOS膜、23a、23b…第2層アルミ配線（多層配線）、24…低水素プラズマSiN膜、25…高水素プラズマSiN膜。

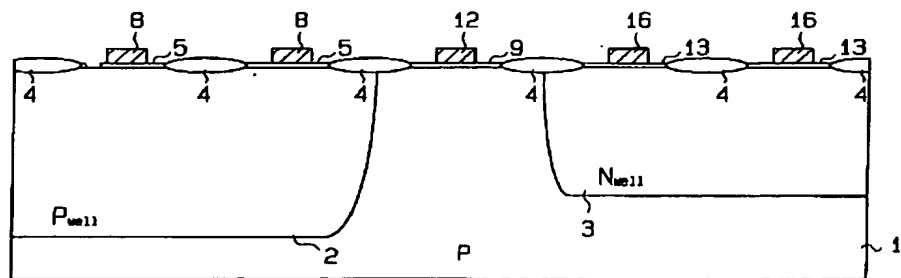
【図1】



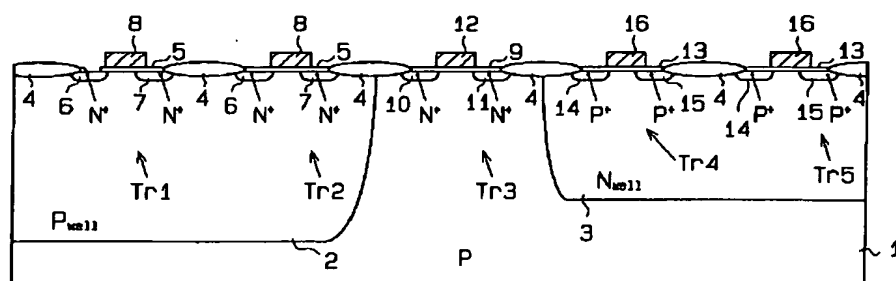
【図2】



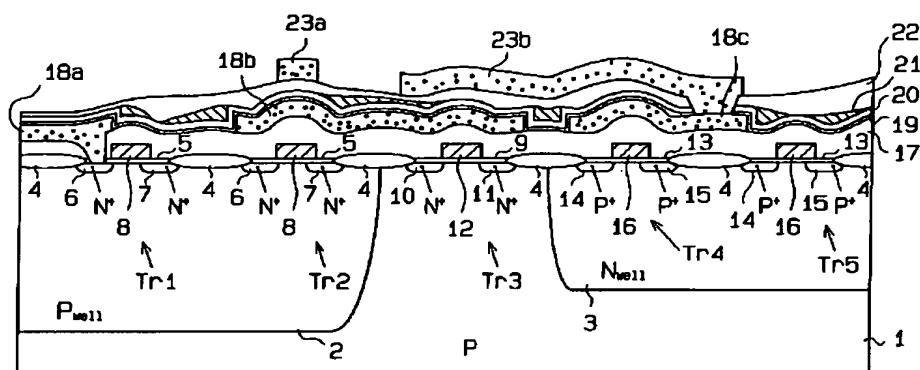
【図3】



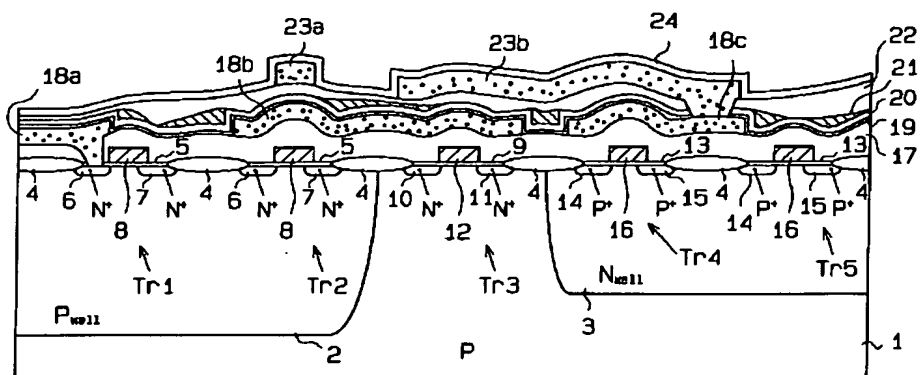
【図 4】



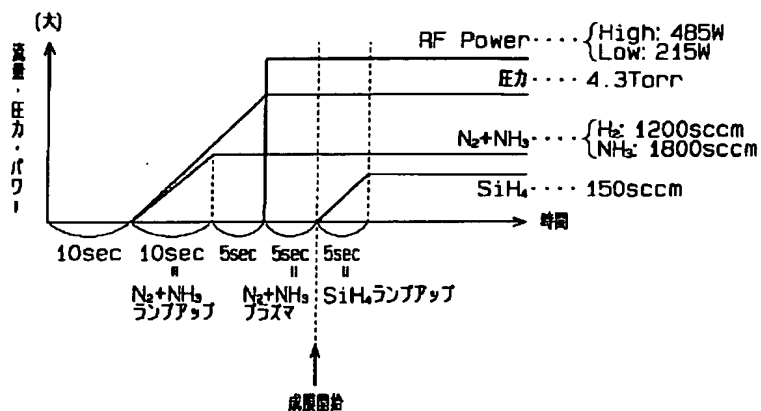
【図 5】



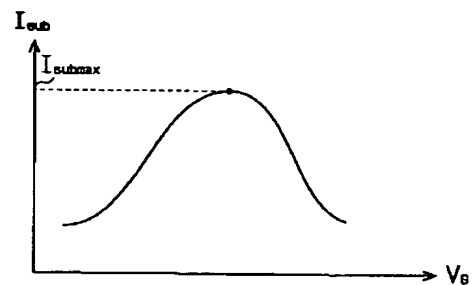
【図 6】



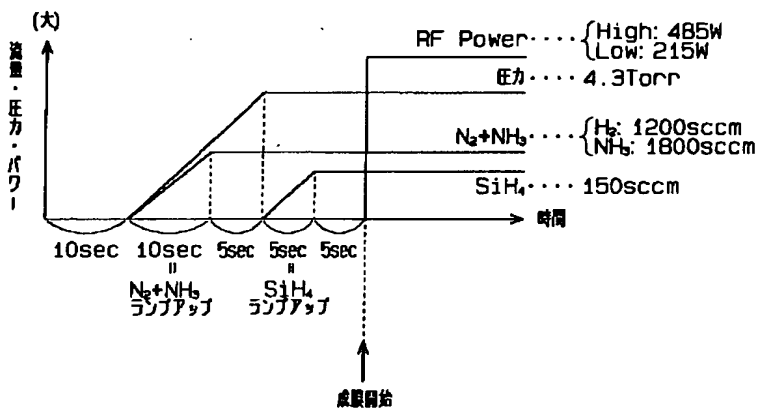
【図7】



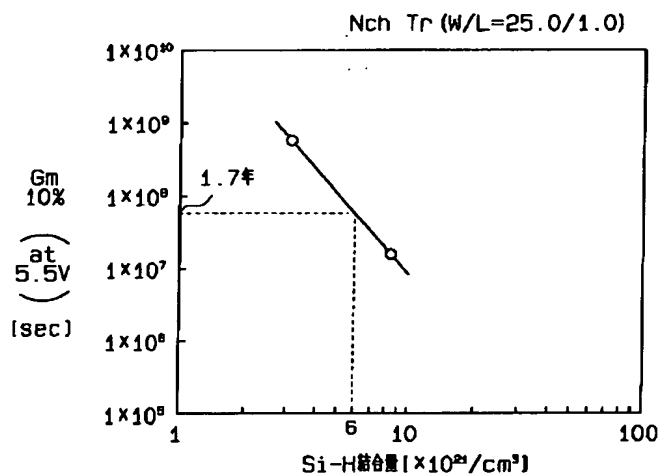
【図11】



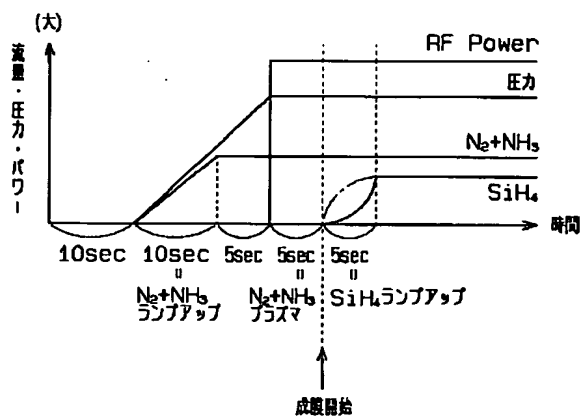
【図8】



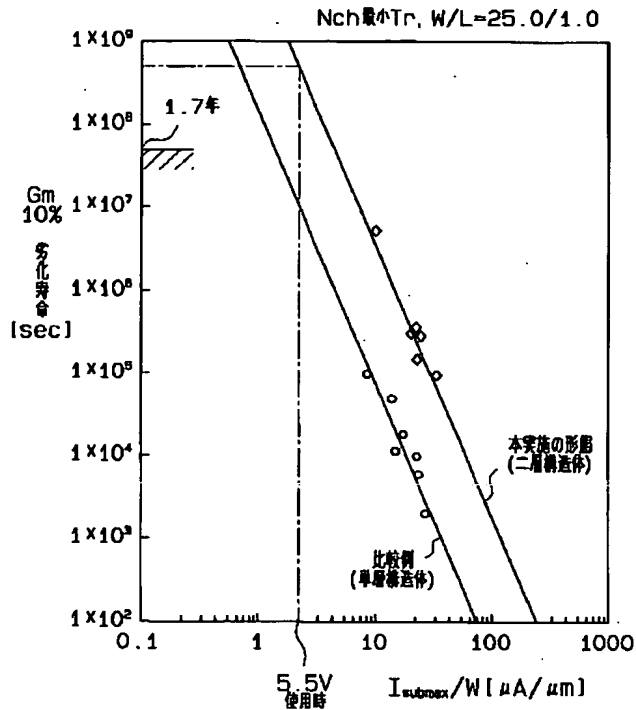
【図9】



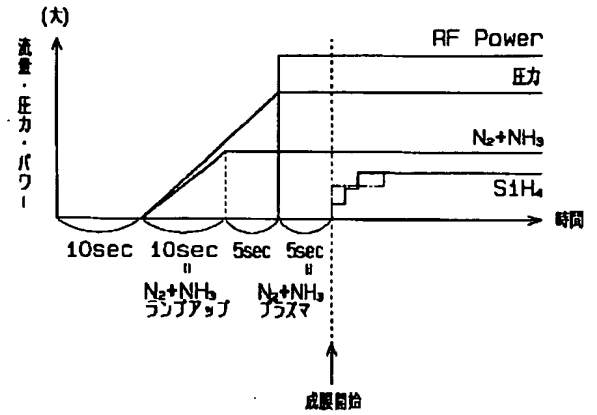
【図12】



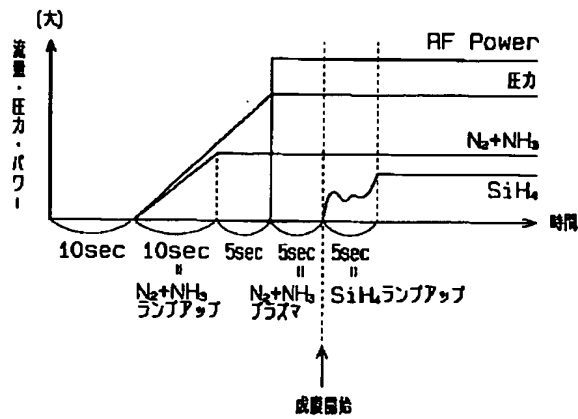
【図10】



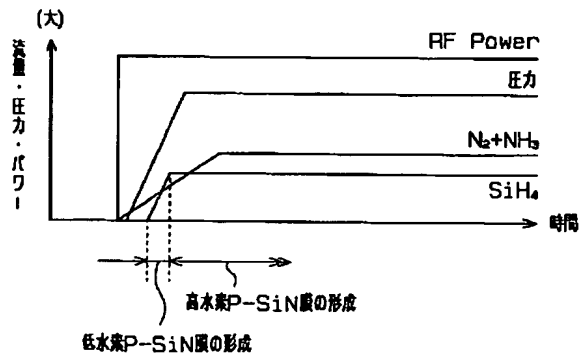
【図13】



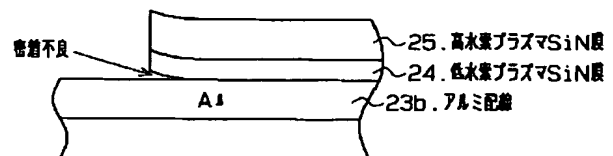
【図14】



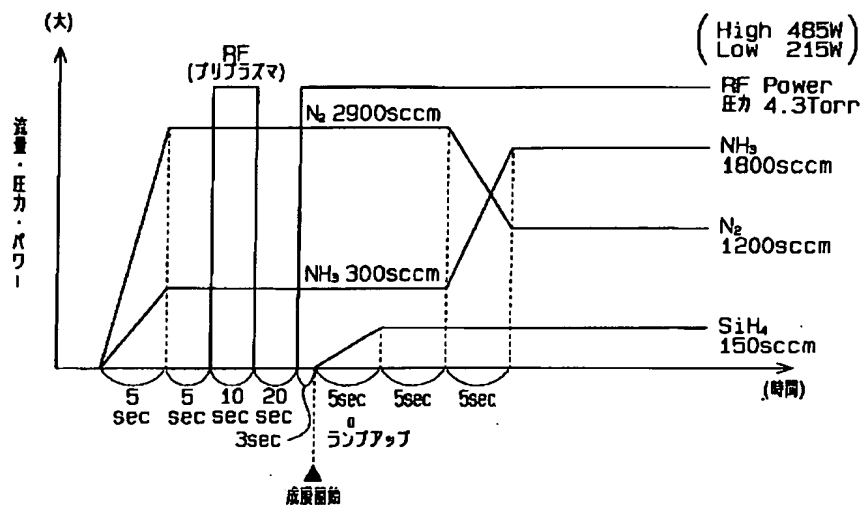
【図15】



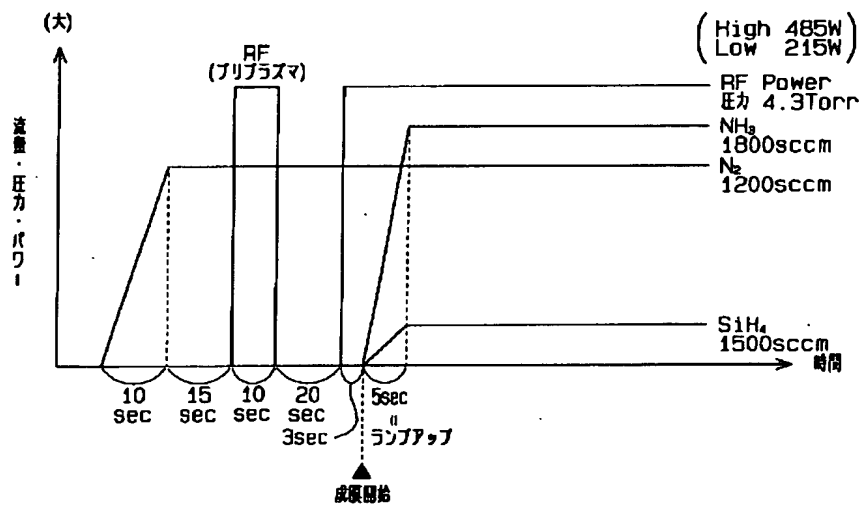
【図16】



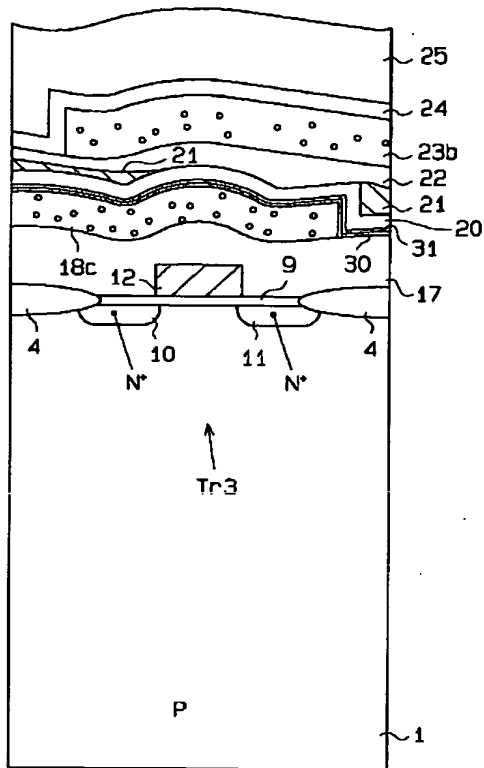
【図17】



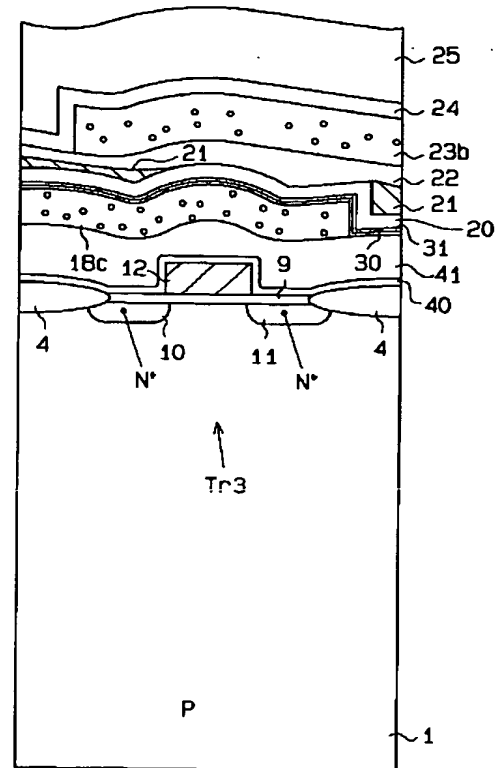
【図18】



【図 1 9】



【図 2 0】



フロントページの続き

(51) Int. Cl. ⁶H 0 1 L 27/088
21/336

識別記号

庁内整理番号

9447-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 8 J

(72) 発明者 窪小谷 良一

愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

(72) 発明者 黒柳 晃

愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

(72) 発明者 塩谷 博仁

愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内